Question **1**

Not yet answered

Marked out of 0.50

O poartă logică va avea timpi de propagare mai mici dacă:

- ✓ a. rezistența echivalentă a tranzistoarelor/comutatoarelor este mai mică și capacitatea de sarcină este mai mică.
- b. rezistența echivalentă a tranzistoarelor/comutatoarelor este mai mică și capacitatea de sarcină este mai mare.
- c. rezistența echivalentă a tranzistoarelor/comutatoarelor este mai mare și capacitatea de sarcină este mai mică.
- d. rezistența echivalentă a tranzistoarelor/comutatoarelor este mai mare și capacitatea de sarcină este mai mare.

Question **2**

Not yet answered

Marked out of 0.50

În costul de fabricație al unui circuit integrat există costuri independente de volumul producției și costuri proporționale cu volumul producției.

Care dintre costurile enumerate mai jos reprezintă un **cost variabil**?

- a. Costul cu salariile inginerilor echipei de proiectare
- ✓ b. Costul fabricării în siliciu a circuitului integrat
- c. Costul cu salariile inginerilor echipei de verificare
- d. Costul de fabricație a măștilor pentru litografie

Question **3**

Not yet answered

Marked out of 0.50

Prin comparație cu un inversor, este de așteptat ca porțile cu fan-in mare să aibă capacități de intrare:

- a. de aceeași valoare, deoarece capacitatea de intrare nu depinde de fan-in.
- b. mai mici.
- ✓ c. mai mari.
- d. egale cu numărul de intrări înmulțit cu valoarea capacității de intrare într-un inversor.

Question **4**

Not yet answered

Marked out of 0.50

În cazul metodei efortului logic, raportul W_p/W_n pentru un inversor elementar se consideră a avea valoarea:

- a. 1
- ✓ b. 2
- c. 4
- d. 3

Question **5**

Not yet answered

Marked out of 0.50

Raportul lățimilor tranzistoarelor PMOS și NMOS dimensionate cu lungimea minimă cu timpi de creștere și descreștere egali este:

- a. $\frac{W_p}{W_n} = 1$
- b. $\frac{W_p}{W_n} = \frac{\mu_p}{\mu_n}$
- c. $\frac{W_p}{W_n} = \frac{L_p}{L_n}$
- ✓ d. $\frac{W_p}{W_n} = \frac{\mu_n}{\mu_p}$

Question **6**

Not yet answered

Marked out of 0.50

Întârzierea parazită, p:

- a. se manifestă în prezenta perturbațiilor parazite.
- ✓ b. există chiar și în absența unei sarcini la ieșire.
- c. se datorează cuplajului parazit între linii.
- d. se poate elimina printr-un layout îngrijit.

Question **7**

Not yet answered

Marked out of 0.50

Efortul electric pe o cale (un lanț de porți logice), H, se definește ca:

- ✓ a. raportul dintre capacitatea de sarcină la ieșirea căii și capacitatea văzută la intrarea căii, $H = \frac{C_{out-cale}}{C_{in-cale}}$.
- b. minimul dintre eforturile electrice ale fiecărei porți pe calea respectivă, $H = \min h_i$.
- c. raportul dintre capacitatea văzută la intrarea căii și capacitatea de sarcină la ieșirea căii, $H = \frac{C_{in-cale}}{C_{out-cale}}$.
- d. maximul dintre eforturile electrice ale fiecărei porți pe calea respectivă, $H = \max h_i$.

Question **8**

Not yet answered

Marked out of 0.50

Din perspectiva structurii circuitului/porții logice, efortul logic g:

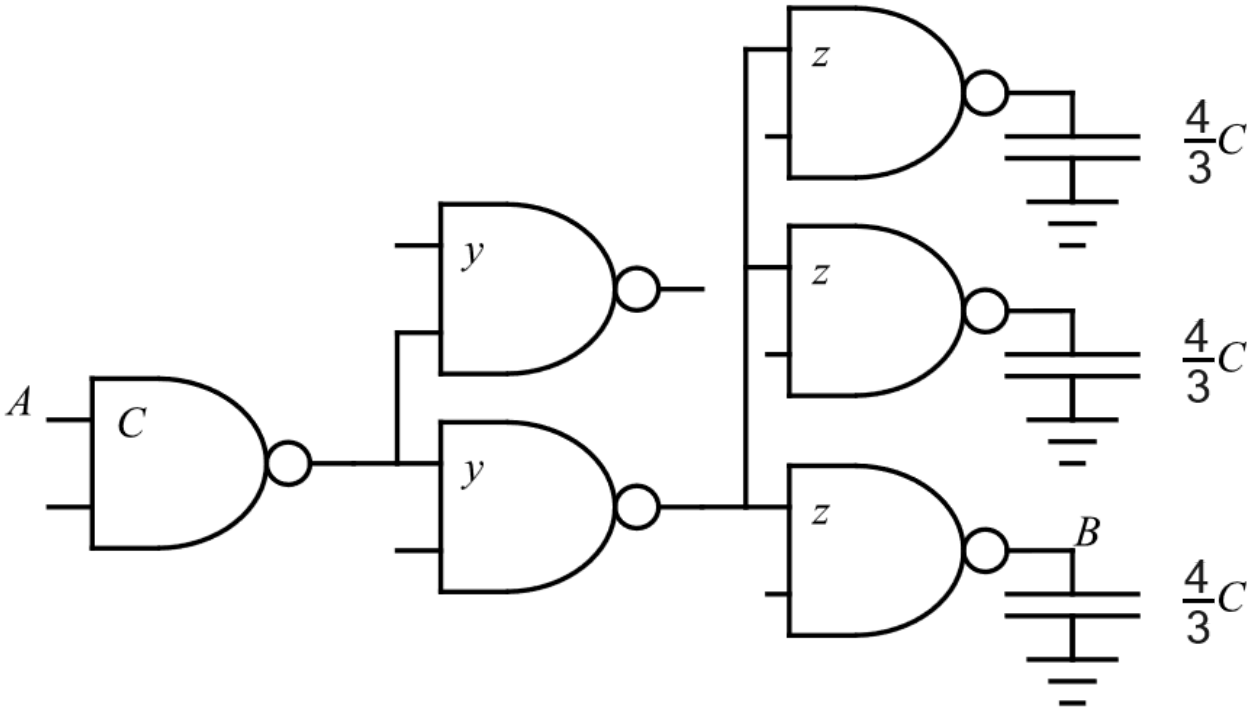
- a. reflectă numărul de intrări al porții logice.
- b. reflectă numărul de căi de la liniile de alimentare către ieșire.
- ✓ c. reflectă impactul topologiei circuitului asupra întârzierii porții, independent de sarcina din ieșire sau de factorul de scalare al porții.
- d. reflectă numărul de noduri din circuitul porții logice.

Question **9**

Not yet answered

Marked out of 1.00

Valoarea lui y în circuitul de mai jos, pentru optimizarea întârzierii pe cale, este:



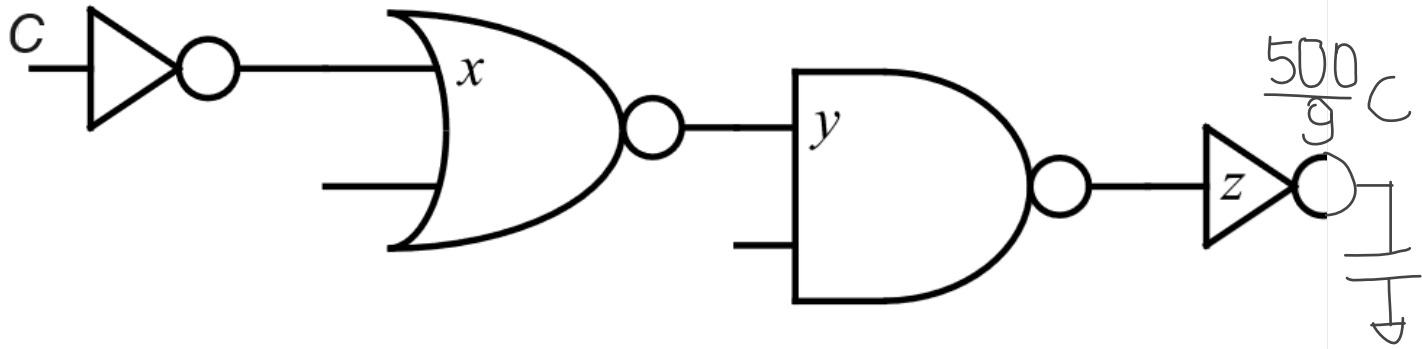
- a. $\frac{8}{3}C$
- b. $2C$
- c. $\frac{4}{3}C$
- ✓ d. C

Question **10**

Not yet answered

Marked out of 1.00

Valoarea lui y în circuitul de mai jos, pentru optimizarea întârzierii pe cale, este:



- a. C
- b. $\frac{10}{9}C$
- c. $\frac{10}{3}C$ ✓
- d. $\frac{5}{3}C$

Question **11**

Not yet answered

Marked out of 0.50

Latch-ul de la intrarea unui bistabil poate intra în metastabilitate:

- a. dacă data de intrare este instabilă la tranziția sa din transparent în blocat.
- b. datorită micilor variații pe linia de alimentare atunci când acesta este transparent.
- c. dacă data de intrare este instabilă la tranziția sa din blocat în transparent. ✓
- d. datorită micilor variații pe linia de alimentare atunci când acesta este blocat.

Question **12**

Not yet answered

Marked out of 0.50

Cu cât constanta de timp τ asociată inversoarelor din latch este mai mare, cu atât timpul mediu dintre defecțiuni legate de metastabilitate va fi:

- a. mai mult influențat de rata de schimbare a datelor de la intrarea bistabilului.
- b. mai mic. ✓
- c. mai mare.
- d. mai mult influențat de rata de frecvența semnalului de ceas.

Question **13**

Not yet answered

Marked out of 0.50

Utilizarea sincronizatoarelor simple pe fiecare linie a unei magistrale multibit este:

- a. corectă indiferent de codurile transmise pe magistrală.
- ✓ b. corectă dacă codurile binare consecutive transmise variază cu o unitate (ex. 2, 3, 4, 3, etc.)
- c. greșită.
- d. corectă dacă oricare două coduri consecutive transmise pe magistrală diferă printr-un singur bit.

Question **14**

Not yet answered

Marked out of 0.50

La traversarea dintr-un domeniu de ceas în altul a unui semnal generat la ieșirea unei structuri combinaționale:

- a. nu este necesară sincronizarea deoarece circuitele combinaționale nu au stări metastabile.
- ✓ b. este necesară eșantionarea semnalului în domeniul sursă pentru a reduce riscurile metastabilității.
- c. nu este necesară sincronizarea datorită timpilor mici de propagare prin circuitele combinaționale.
- d. este suficientă eșantionarea semnalului în domeniul destinație pentru a reduce riscurile metastabilității.

Question **15**

Not yet answered

Marked out of 0.50

Latența ceasului se referă la:

- a. timpul de sosire a semnalului de date în raport cu sursa de semnal de ceas.
- ✓ b. timpul de sosire a semnalului de ceas în raport cu sursa de semnal de ceas.
- c. timpul de sosire a semnalului de date în raport cu sursa de semnal de date.
- d. timpul de stagnare a semnalului de ceas.

Question **16**

Not yet answered

Marked out of 0.50

Analiza temporală dinamică presupune:

- a. activarea frecventă a semnalului de reset.
- ✓ b. simulări exhaustive cu un număr foarte mare de vectori de test pentru o acoperire bună.
- c. variația tensiunii de alimentare pe durata simulării.
- d. variația temperaturii pe durata simulării.

◄ Examen TPVLSID 2024 (hidden)