UNIVERSITATEA TEHNICĂ "GHEORGHE ASACHI" DIN IAŞI
FACULTATEA DE ELECTRONICĂ, TELECOMUNICAŢII ŞI TEHNOLOGIA INFORMAŢIEI

EXAMEN DE DIPLOMĂ IULIE 2026

Proba de evaluare a cunoştinţelor fundamentale şi de specialitate

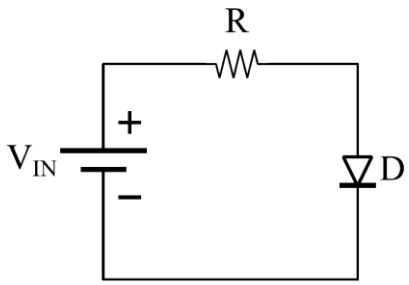
Disciplina DE/CEF – Soluții

Absolvent:….....,

Programul de studii (EA/MON/TST):……

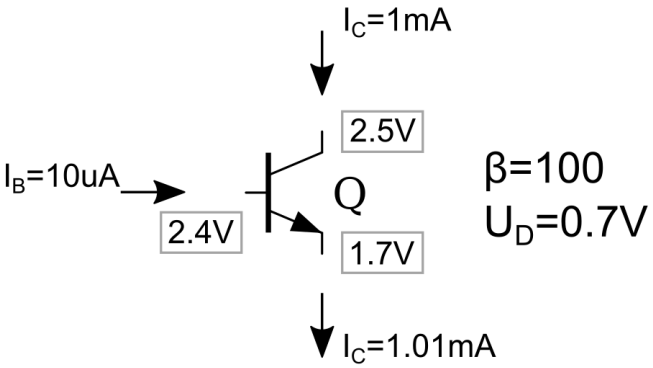
Răspunsul se marchează prin încercuirea uneia dintre literele a, b, c, sau d, ale variantelor de răspuns.

1. (1p) Considerând modelul cu diodă ideală și tensiune de deschidere $U_D = 0.6V$, $V_{IN} = 2.6V$ precum și o valoare $R = 1k\Omega$, curentul prin diodă va fi:



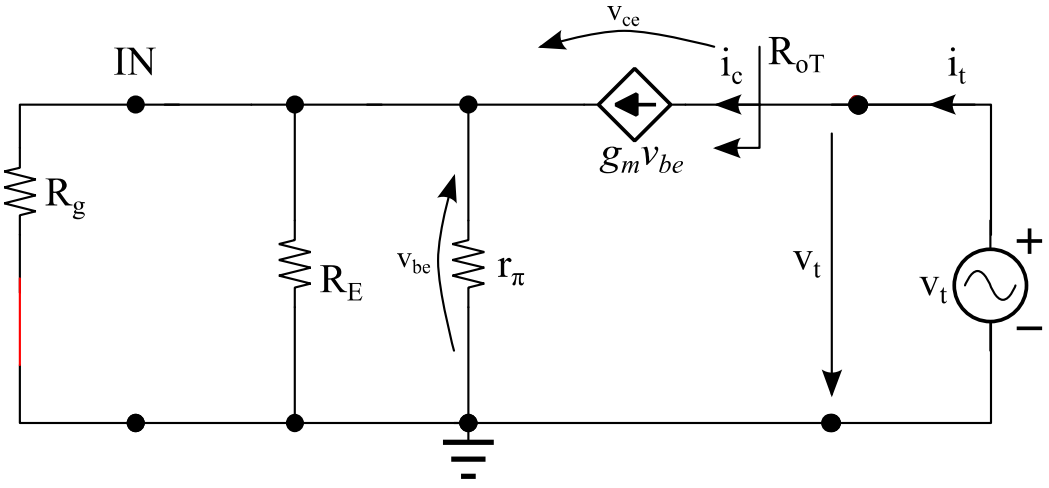
a. 0mA
b. 1mA
c. <u>2mA</u>
d. 2.6mA

2. (1p) Care este regiunea de funcționare a tranzistorului bipolar?



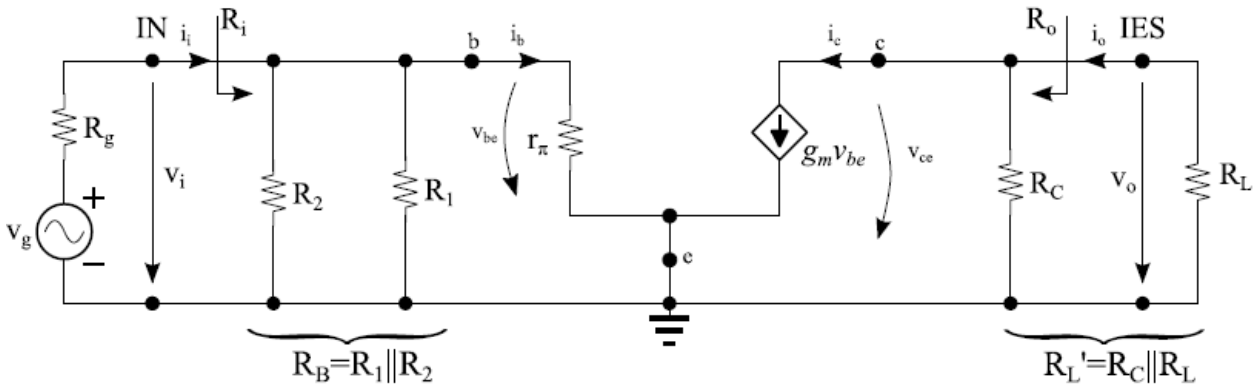
a. <u>RAN</u>
b. RB
c. RS
d. RAI

3. (1p) Care este expresia rezistenței de ieșire, R_{oT}?



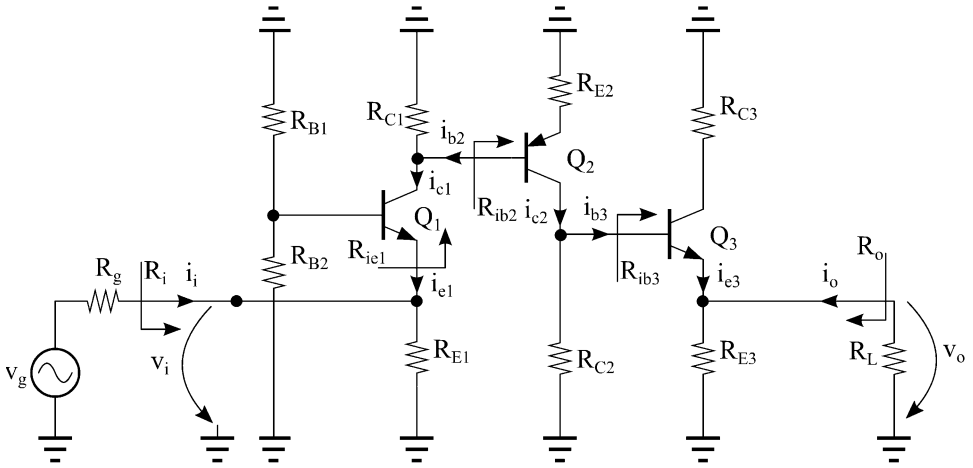
a. $\frac{1}{g_m}$
b. $r_\pi \,||R_g||R_E$
c. <u>∞</u>
d. 0

4. (1p) Care este expresia amplificării în tensiune, v_o/v_i, în această schemă?



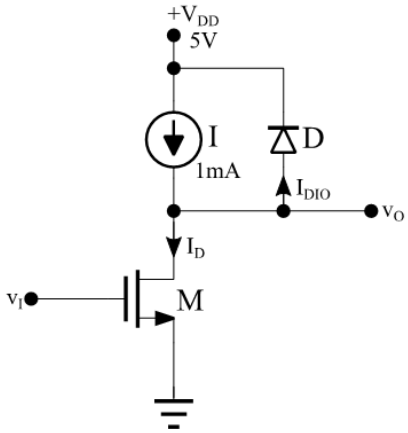
a. $\underline{\boldsymbol{v_o/v_i = -g_m(R_C||R_L)}}$
b. $v_o/v_i = g_m(R_C||R_L)$
c. $v_o/v_i = g_m \frac{R_C}{R_C+R_L}$
d. $v_o/v_i = -g_m \frac{R_L}{R_C+R_L}$

5. (1p) Cum depinde i_{e1} de i_i?



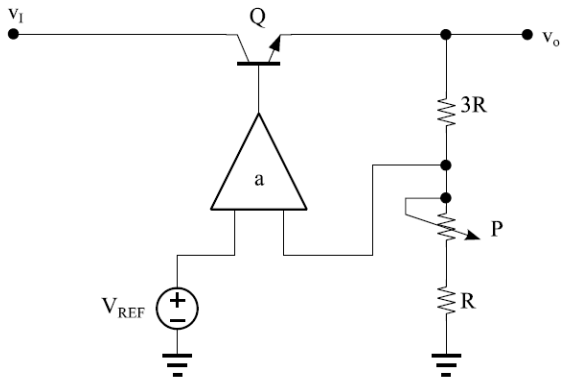
a. $\underline{\boldsymbol{i_{e1} = -\frac{R_{E1}}{R_{E1}+R_{ie1}} i_i}}$
b. $i_{e1} = \frac{R_{E1}}{R_{E1}+R_{ie1}} i_i$
c. $i_{e1} = \frac{R_{ie1}}{R_{E1}+R_{ie1}} i_i$
d. $i_{e1} = -\frac{R_{ie1}}{R_{E1}+R_{ie1}} i_i$

6. (1p) Conditia ca tranzistorul MOS-canal n din imagine să funcționeze în regiunea de blocare este:



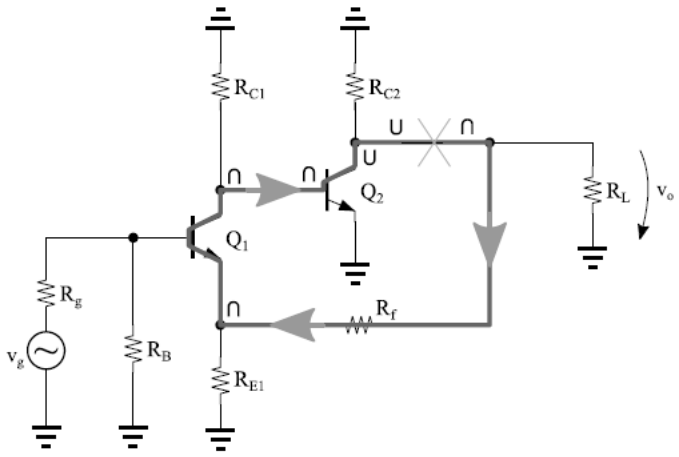
a. $\underline{\boldsymbol{v_{GS} \leq V_{TH}}}$
b. $v_{GS} > V_{TH}$ și $v_{DS} \leq v_{GS} - V_{TH}$
c. $v_{GS} \leq V_{TH}$ și $v_{DS} > v_{GS} - V_{TH}$
d. $v_{GS} > V_{TH}$ și $v_{DS} > v_{GS} - V_{TH}$

7. (1p) Pentru stabilizatorul de tensiune continuă din imagine, cum trebuie definite intrările amplificatorului de eroare astfel încât bucla să fie de reacție negativă?



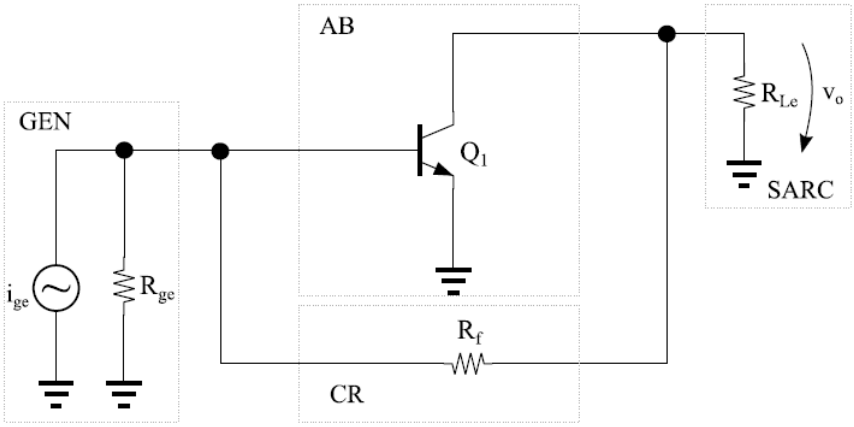
a. <u>(+) în stânga, (-) în dreapta</u>
b. (-) în stânga, (+) în dreapta
c. (+) în stânga, (+) în dreapta
d. (-) în stânga, (-) în dreapta

8. (1p) Care este topologia de reacție, specificată în forma ieșire-intrare, pentru acest amplificator?



a. S-S
b. S-P
c. <u>P-S</u>
d. P-P

9. (1p) Amplificarea stabilizată de reacția negativă, expresie aproximativă, pentru circuitul ilustrat, este:



a. $A_v \approx 1 + \frac{R_f}{R_{ge}}$
b. $A_y \approx \frac{1}{R_f}$
c. $A_i \approx \frac{R_f}{R_{ge}}$
d. $\underline{A_z \approx -R_f}$

UNIVERSITATEA TEHNICĂ "GHEORGHE ASACHI" DIN IAŞI
FACULTATEA DE ELECTRONICĂ, TELECOMUNICAŢII ŞI TEHNOLOGIA INFORMAŢIEI

EXAMEN DE DIPLOMĂ IULIE 2026

Proba de evaluare a cunoştinţelor fundamentale şi de specialitate

Disciplina Semnale, Circuite si Sisteme

1. Se consideră un sistem cu funcția de transfer:

$$H(s) = \frac{\alpha}{s + 2\alpha}$$

Răspunsul sistemului la semnalul $e(t) = 10\sigma(t)$ unde $\sigma(t)$ este semnalul treaptă unitate este:

A) $y(t) = 5(1 - e^{-2\alpha t})\sigma(t)$	~~C) $y(t) = 5(1 - e^{-\alpha t})\sigma(t)$~~
~~B) $y(t) = (1 - e^{-\alpha t})\sigma(t)$~~	~~D) $y(t) = 5\left(1 - e^{-\frac{\alpha}{2}t}\right)\sigma(t)$~~

2. Se dă funcția de transfer:

$$H(s) = \frac{10}{(s + 1)(s + 10)}$$

Care dintre următoarele variante este corectă?

A) Faza funcției de transfer pleacă din 0 [rad] la joasă frecventa și ajunge la $-\pi\ [rad]$ la frecvență înaltă.

~~B) Faza funcției de transfer pleacă din $\frac{\pi}{2}$ [rad] la joasă frecventa și ajunge la $-\frac{\pi}{2}\ [rad]$ la frecvență înaltă.~~

~~C) Faza funcției de transfer pleacă din $-\frac{\pi}{2}$ [rad] la joasă frecvență și ajunge la $+\frac{\pi}{2}\ [rad]$ la frecvență înaltă.~~

~~D) Diagrama de câștig pleacă de la $+\infty$ [dB] la joasă frecvență.~~

3. Se dă sistemul cu funcția de transfer

$$H(s) = \frac{4\alpha s}{s^2 + 2\alpha s + \omega_0^2}$$

Răspunsul sistemului la semnalul $e(t) = Acos(\omega_0 t)$ este:

A) $y(t) = 2Acos(\omega_0 t)$	~~B) $y(t) = 2Acos(2\alpha t)$~~
~~C) $y(t) = 2Acos(\omega_0 t + \frac{\pi}{2})$~~	~~D) $y(t) = \frac{A}{2}cos(\omega_0 t)$~~

4. Se dă semnalul:

$$e(t) = 2\cos(\omega_0 t) + \cos(2\omega_0 t)$$

Transformata Fourier a semnalului este:

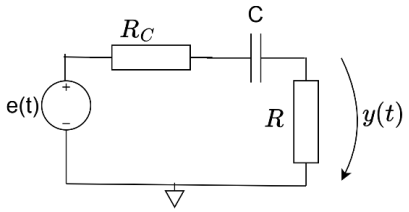
A) $E(\omega) = [2\pi\delta(\omega - \omega_0) + 2\pi\delta(\omega + \omega_0)] + [\pi\delta(\omega - 2\omega_0) + \pi\delta(\omega + 2\omega_0)]$

~~B) $E(\omega) = [\pi\delta(\omega - \omega_0) + \pi\delta(\omega + \omega_0)] + [2\pi\delta(\omega - 2\omega_0) + 2\pi\delta(\omega + 2\omega_0)]$~~

~~C) $E(\omega) = [-2\pi j\delta(\omega - \omega_0) + 2\pi j\delta(\omega + \omega_0)] + [-\pi j\delta(\omega - 2\omega_0) + \pi j\delta(\omega + 2\omega_0)]$~~

~~D) $E(\omega) = [2\pi j\delta(\omega - \omega_0) - 2\pi j\delta(\omega + \omega_0)] + [\pi j\delta(\omega - 2\omega_0) - \pi j\delta(\omega + 2\omega_0)]$~~

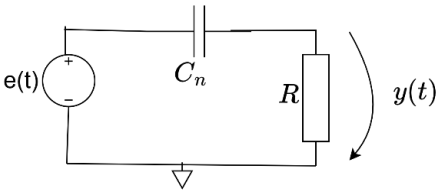
5. Să se determine amplitudinea semnalului y(t) dacă $e(t) = Acos(\omega_0 t)$ unde $\omega_0 \to \infty$.

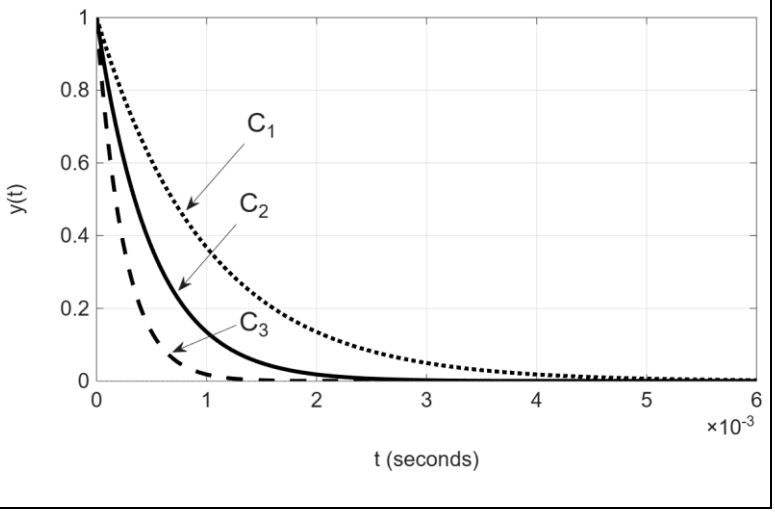


Amplitudinea semnalului y(t) este:

$A)\ \frac{R}{R + R_C} A\ [V]$	~~$B)\ \frac{R}{R_C} A\ [V]$~~
~~C) 0 [V]~~	~~D) A [V]~~

6. Se dă circuitul din figura care poate avea 3 valori diferite ale condensatorului ($C_1, C_2\ si\ C_3$) și răspunsurile la semnalul treaptă unitate ($\sigma(t)$) corespunzătoare:





Relația dintre valorile condensatoarelor este:

$A)\ C_1 > C_2 > C_3$

~~$B)\ C_3 > C_2 > C_1$~~

~~$C)\ C_2 > C_3 > C_1$~~

~~$D)\ C_1 > C_3 > C_2$~~

UNIVERSITATEA TEHNICĂ "GHEORGHE ASACHI" DIN IAŞI
FACULTATEA DE ELECTRONICĂ, TELECOMUNICAŢII ŞI TEHNOLOGIA INFORMAŢIEI

EXAMEN DE DIPLOMĂ IULIE 2026

Proba de evaluare a cunoştinţelor fundamentale şi de specialitate

Disciplina Circuite Integrate Digitale
Varianta A

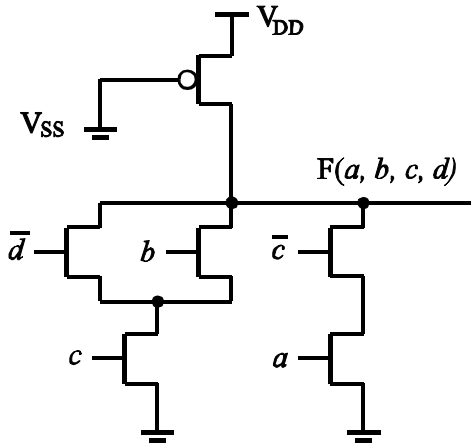
Absolvent:.....,

Programul de studii (EA/MON/TST):.....

Răspunsul se marchează prin încercuirea uneia dintre literele a, b, c, sau d, ale variantelor de răspuns.

1p din oficiu

P1 (2.25 p) Care este expresia logică *F* implementată de schema cu tranzistoare MOS din figura alăturată?



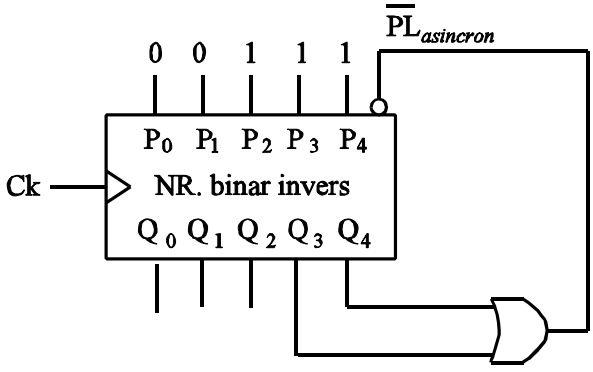
a: $F(a, b, c, d) = \overline{a\bar{c} + bc\bar{d}}$

b: $F(a, b, c, d) = \overline{c(b + \bar{d}) + b\bar{c}}$

c: $F(a, b, c, d) = \overline{c\bar{d} + a\bar{c} + bc}$

d: $F(a, b, c, d) = \overline{(a + c)(b + \bar{c} + \bar{d})}$

P2 (2.25 p) Numărătorul binar invers cu reacţie (PL = încăcare paralelă asincronă) realizează la ieşirea cea mai semnificativă Q_4 o divizare în frecvenţă a semnalului de ceas Ck. Care este factorul de divizare?



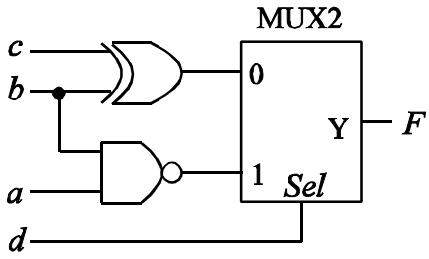
a: 22

b: 21

c: 17

d: 18

P3 (2.25 p) Care este funcţia logică F implementată de circuitul din figură?



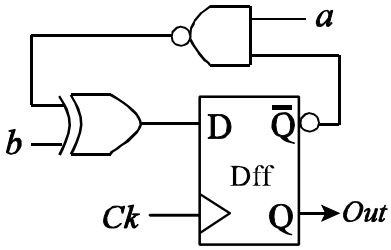
a: $F = \overline{c} \cdot b \cdot \overline{d} + \overline{a} \cdot d + \overline{b} \cdot d + \overline{b} \cdot c \cdot \overline{d}$

b: $F = \overline{a} \cdot \overline{d} + a \cdot \overline{b} \cdot c + \overline{b} \cdot d + \overline{c} \cdot d$

c: $F = \overline{a} \cdot b + \overline{a} \cdot b + \overline{b} \cdot \overline{c} \cdot d$

d: $F = \overline{a} \cdot \overline{d} + a \cdot \overline{b} + \overline{b} \cdot c \cdot \overline{d} + \overline{c} \cdot d$

P4 (2.25 p) Pentru care set de valori logice a şi b circuitul următor realizează la ieşirea *Out* operaţia de divizare cu 2 în frecvenţă a semnalului de ceas *Ck*?



a: $a = 0$ şi $b = 0$

b: $a = 1$ şi $b = 0$

c: $a = 0$ şi $b = 1$

d: $a = 1$ şi $b = 1$

UNIVERSITATEA TEHNICĂ "GHEORGHE ASACHI" DIN IAŞI
FACULTATEA DE ELECTRONICĂ, TELECOMUNICAŢII ŞI TEHNOLOGIA INFORMAŢIEI

EXAMEN DE DIPLOMĂ IULIE 2026

Proba de evaluare a cunoştinţelor fundamentale şi de specialitate

Disciplina Circuite Integrate Digitale
Varianta B

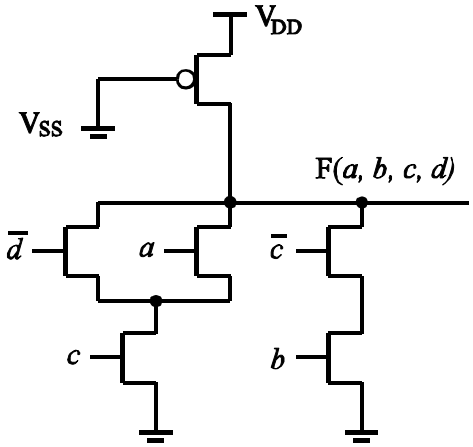
Absolvent:……,

Programul de studii (EA/MON/TST):……

Răspunsul se marchează prin încercuirea uneia dintre literele a, b, c, sau d, ale variantelor de răspuns.

1p din oficiu

P1 (2.25p) Care este expresia logică *F* implementată de schema cu tranzistoare MOS din figura alăturată?



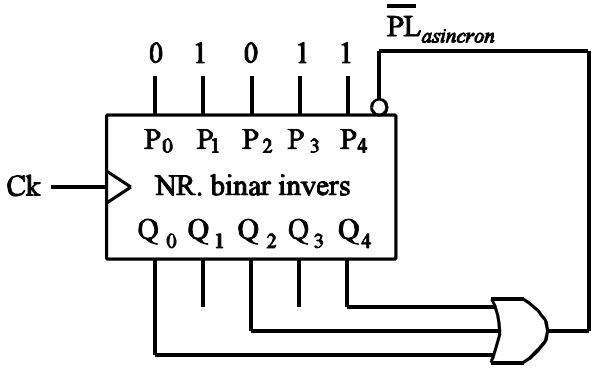
a: $F(a, b, c, d) = \overline{b\bar{c} + c\bar{d} + ac}$

b: $F(a, b, c, d) = c(b + \bar{d}) + a\bar{c}$

c: $F(a, b, c, d) = (b\bar{d} + c)(a + \bar{c})$

d: $F(a, b, c, d) = \overline{(a + c)(b + \bar{c} + \bar{d})}$

P2 (2.25p) Numărătorul binar invers cu reacţie (PL = încăcare paralelă asincronă) realizează la ieşirea cea mai semnificativă Q_4 o divizare în frecvenţă a semnalului de ceas Ck. Care este factorul de divizare?



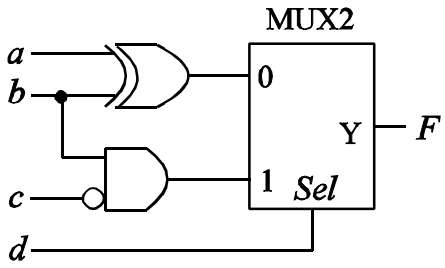
a: 21

b: 16

c: 17

d: 18

P3 (2.25p) Care este funcţia logică *F* implementată de circuitul din figură?



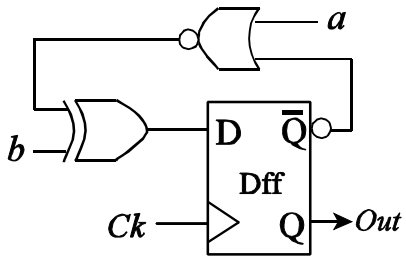
a: $F = \overline{a} \cdot b \cdot \overline{d} + a \cdot \overline{b} + \overline{b} \cdot d$

b: $F = \overline{a} \cdot \overline{d} + a \cdot \overline{b} \cdot c + \overline{b} \cdot d + \overline{c} \cdot d$

c: $F = \overline{a} \cdot b + \overline{a} \cdot b + \overline{b} \cdot \overline{c} \cdot d$

d: $F = \overline{a} \cdot b \cdot \overline{d} + b \cdot \overline{c} \cdot d + a \cdot \overline{b} \cdot \overline{d}$

P4 (2.25p) Pentru care set de valori logice *a* şi *b* circuitul următor realizează la ieşirea *Out* operaţia de divizare cu 2 în frecvenţă a semnalului de ceas *Ck*?



a: $a = 0$ şi $b = 0$

b: $a = 1$ şi $b = 0$

c: $a = 0$ şi $b = 1$

d: $a = 1$ şi $b = 1$

UNIVERSITATEA TEHNICĂ "GHEORGHE ASACHI" DIN IAŞI
FACULTATEA DE ELECTRONICĂ, TELECOMUNICAŢII ŞI TEHNOLOGIA INFORMAŢIEI

EXAMEN DE DIPLOMĂ IULIE 2026

Proba de evaluare a cunoştinţelor fundamentale şi de specialitate

Disciplina Circuite Integrate Digitale
Varianta C

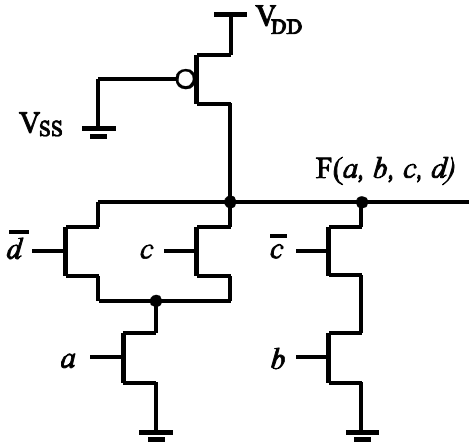
Absolvent:……,

Programul de studii (EA/MON/TST):……

Răspunsul se marchează prin încercuirea uneia dintre literele a, b, c, sau d, ale variantelor de răspuns.

1p din oficiu

P1 (2.25p) Care este expresia logică *F* implementată de schema cu tranzistoare MOS din figura alăturată?



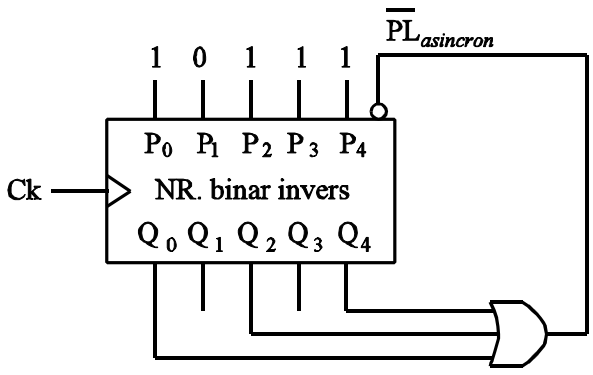
a: $F(a, b, c, d) = \overline{a\overline{c} + bc\overline{d}}$

b: $F(a, b, c, d) = \overline{a(c + \overline{d}) + b\overline{c}}$

c: $F(a, b, c, d) = \overline{(b\overline{d} + c)(a + \overline{c})}$

d: $F(a, b, c, d) = \overline{(a + c)(b + \overline{c} + \overline{d})}$

P2 (2.25p) Numărătorul binar invers cu reacţie (PL = încăcare paralelă asincronă) realizează la ieşirea cea mai semnificativă Q_4 o divizare în frecvenţă a semnalului de ceas Ck. Care este factorul de divizare?



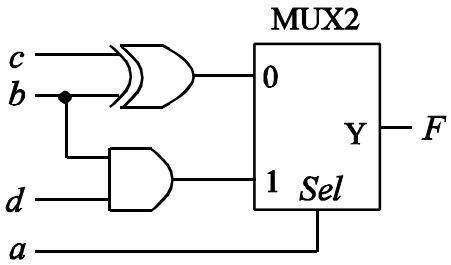
a: 18

b: 20

c: 19

d: 17

P3 (2.25p) Care este funcţia logică F implementată de circuitul din figură?



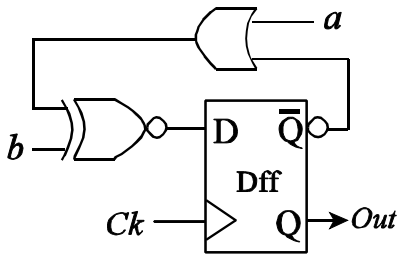
a: $F = a \cdot \overline{b} + \overline{b} \cdot d + \overline{c} \cdot d$

b: $F = \overline{a} \cdot \overline{d} + a \cdot \overline{b} \cdot c + \overline{b} \cdot d$

c: $F = \overline{a} \cdot b + \overline{a} \cdot b + \overline{b} \cdot \overline{c} \cdot d$

d: $F = \overline{a} \cdot \overline{b} \cdot c + \overline{a} \cdot b \cdot \overline{c} + a \cdot b \cdot d$

P4 (2.25p) Pentru care set de valori logice a şi b circuitul următor realizează la ieşirea *Out* operaţia de divizare cu 2 în frecvenţă a semnalului de ceas *Ck*?



a: $a = 0$ şi $b = 1$

b: $a = 1$ şi $b = 0$

c: $a = 0$ şi $b = 0$

d: $a = 1$ şi $b = 1$

UNIVERSITATEA TEHNICĂ "GHEORGHE ASACHI" DIN IAŞI
FACULTATEA DE ELECTRONICĂ, TELECOMUNICAŢII ŞI TEHNOLOGIA INFORMAŢIEI

EXAMEN DE DIPLOMĂ IULIE 2026

Proba de evaluare a cunoştinţelor fundamentale şi de specialitate

Disciplina Circuite Integrate Digitale
Varianta D

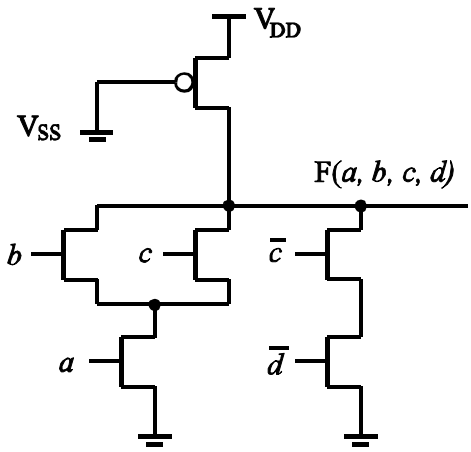
Absolvent:……,

Programul de studii (EA/MON/TST):……

Răspunsul se marchează prin încercuirea uneia dintre literele a, b, c, sau d, ale variantelor de răspuns.

1p din oficiu

P1 (2.25p) Care este expresia logică F implementată de schema cu tranzistoare MOS din figura alăturată?



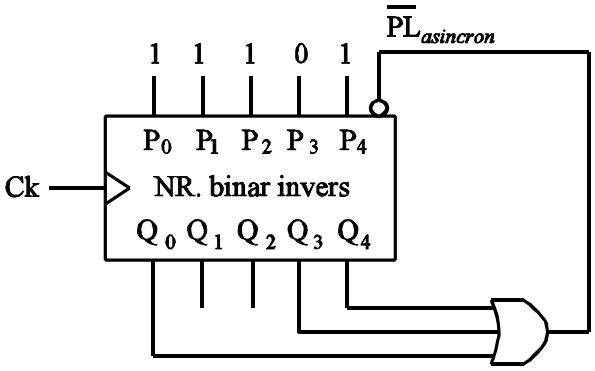
a: $F(a, b, c, d) = \overline{a\bar{c} + bc\bar{d}}$

b: $F(a, b, c, d) = \overline{c(b + \bar{d}) + a\bar{c}}$

c: $F(a, b, c, d) = \overline{(b\bar{d} + c)(a + \bar{c})}$

d: $F(a, b, c, d) = \overline{ab + ac + \bar{c}\,\bar{d}}$

P2 (2.25p) Numărătorul binar invers cu reacţie (PL = încăcare paralelă asincronă) realizează la ieşirea cea mai semnificativă Q_4 o divizare în frecvenţă a semnalului de ceas Ck. Care este factorul de divizare?



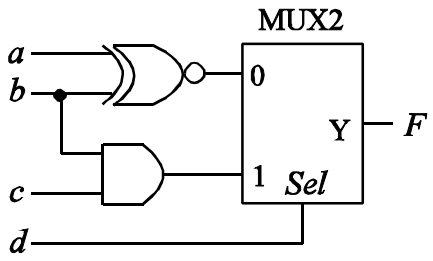
a: 21

b: 17

c: 20

d: 18

P3 (2.25p) Care este funcţia logică *F* implementată de circuitul din figură?



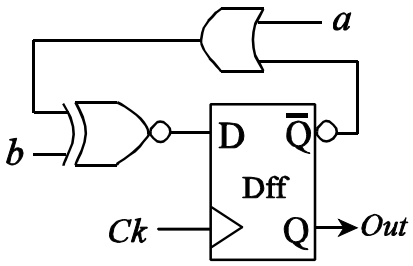
a: $F = \overline{a} \cdot \overline{b} \cdot \overline{d} + a \cdot b \cdot \overline{d} + b \cdot c \cdot d$

b: $F = \overline{a} \cdot \overline{d} + a \cdot \overline{b} \cdot c + \overline{b} \cdot d$

c: $F = \overline{a} \cdot b + \overline{a} \cdot d + \overline{b} \cdot \overline{c} \cdot d$

d: $F = \overline{a} \cdot \overline{d} + a \cdot \overline{b} + \overline{b} \cdot \overline{d} + \overline{c} \cdot d$

P4 (2.25p) Pentru care set de valori logice *a* şi *b* circuitul următor realizează la ieşirea *Out* operaţia de divizare cu 2 în frecvenţă a semnalului de ceas *Ck*?



a: *a* = 0 şi *b* = 0

b: *a* = 1 şi *b* = 0

c: *a* = 0 şi *b* = 1

d: *a* = 1 şi *b* = 1

UNIVERSITATEA TEHNICĂ "GHEORGHE ASACHI" DIN IAŞI
FACULTATEA DE ELECTRONICĂ, TELECOMUNICAŢII ŞI TEHNOLOGIA INFORMAŢIEI

EXAMEN DE DIPLOMĂ IULIE 2026

Proba de evaluare a cunoștințelor fundamentale și de specialitate

Disciplina CIRCUITE INTEGRATE ANALOGICE
Varianta

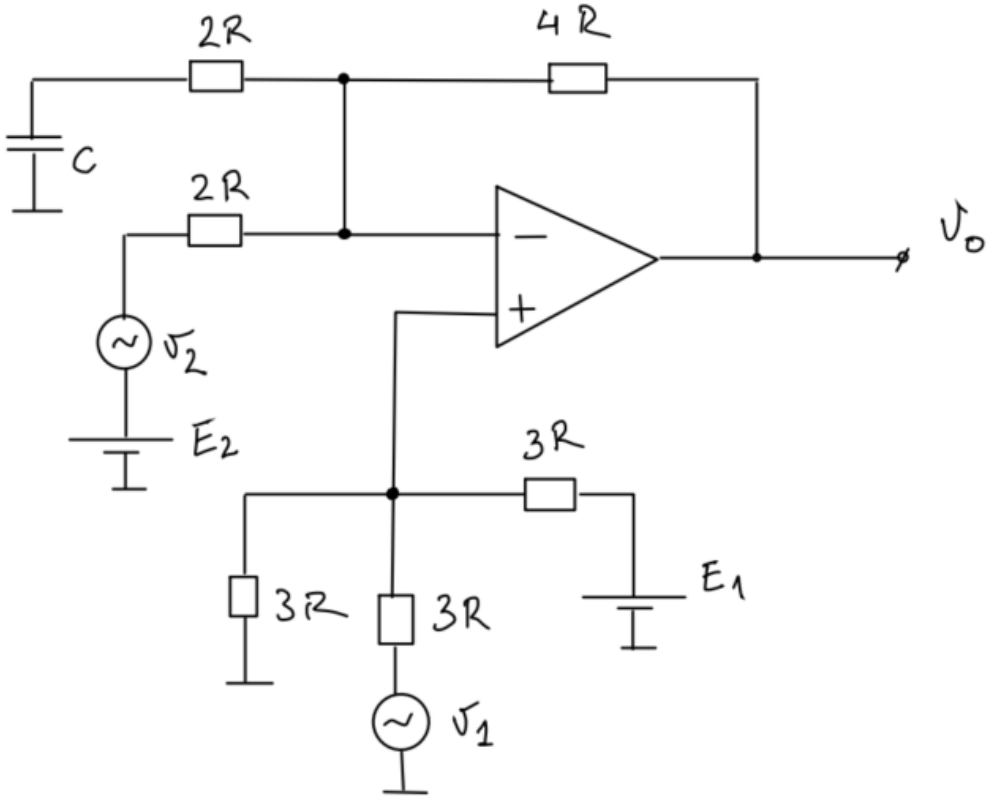
Absolvent:.....,

Programul de studii (EA/MON/TST):……

Răspunsul se marchează prin încercuirea uneia dintre literele a, b, c, sau d, ale variantelor de răspuns.

Problema 1 (4p)

Se dă următoarea schemă unde capacitățile se consideră scurt-circuit la frecvență de lucru (AC) și întrerupere la frecvență foarte joasă (CC).



1. (1p) În expresia lui v_o coeficientul sursei E_1 are valoarea:

a. 1 b. $1/3$ c. -1 d. 2

2. (1p) În expresia lui v_o coeficientul sursei E_2 are valoarea:

a. -2 b. -1 c. 2 d. -3

3. (1p) În expresia lui v_o coeficientul sursei v_1 are valoarea:

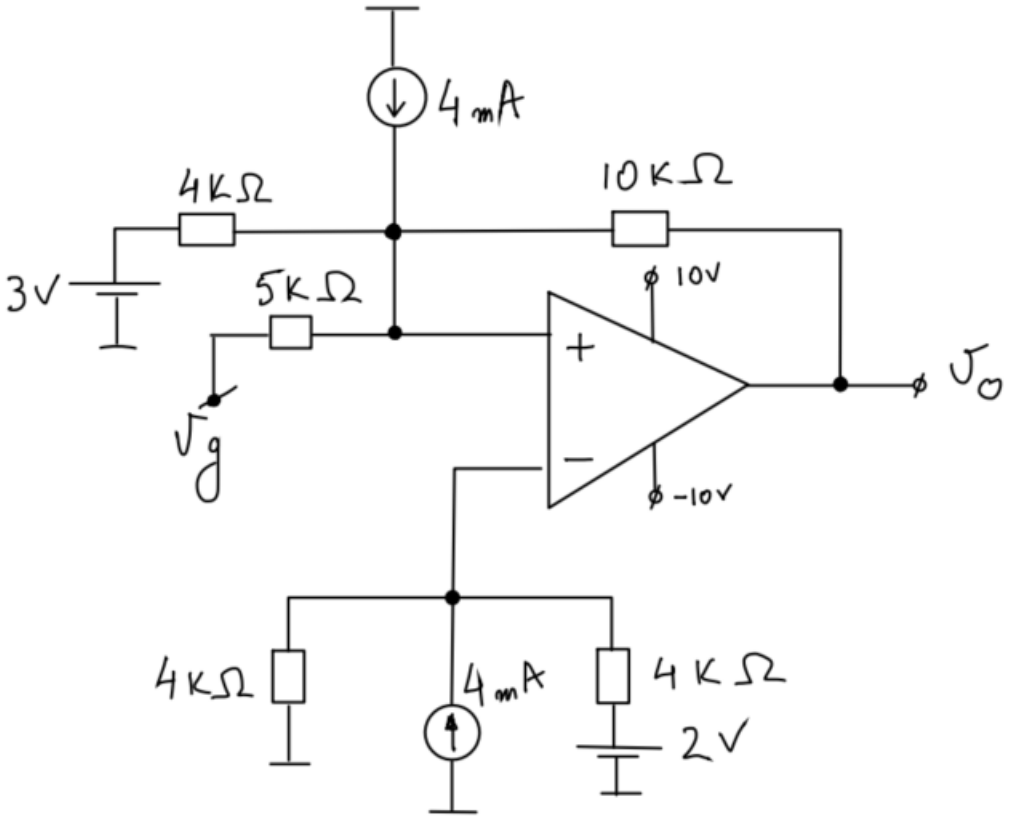
a. $-5/3$ b. $2/3$ **c. $5/3$** d. $3/5$

4. (1p) În expresia lui v_o coeficientul sursei v_2 are valoarea:

a. $-3/2$ b. $-1/2$ c. 2 **d. -2**

Problema 2 (5p)

Se dă următoarea schemă de comparator cu Amplificator Operațional (AO) în care $V_{OH} = 10V$ și $V_{OL} = -10V$.



1. (1p) Valoarea minimă din cele două praguri este:

a. $-6V$ b. $-2V$ **c. $-4V$** d. $+4V$

2. (1p) Valoarea maximă din cele două praguri este:

a. $+8V$ **b. $+6V$** c. $+4V$ d. $-6V$

3. (1p) Dacă tensiunea de la generator v_g este de $+8{,}5V$ atunci ieșirea v_o are valoarea:

a. $+6V$ **b. $+10V$** c. $0V$ d. $-10V$

4. (1p) Dacă tensiunea de la generator v_g este de $-8V$ atunci ieșirea v_o are valoarea:

a. $-10V$ b. $-4V$ c. $+10V$ d. $0V$

5. (1p) Tensiunea de la generator v_g variază de la $-7V$ la $-5V$. Tensiunea de la ieșirea v_o atunci când v_g ajunge la $-5V$ are valoarea:

a. $+10V$ b. $+6V$ c. $0V$ **d. $-10V$**

Total: P1 4p + P2 5p + 1p oficiu = 10p

UNIVERSITATEA TEHNICĂ "GHEORGHE ASACHI" DIN IAŞI
FACULTATEA DE ELECTRONICĂ, TELECOMUNICAŢII ŞI TEHNOLOGIA INFORMAŢIEI

EXAMEN DE DIPLOMĂ IULIE 2026

Proba de evaluare a cunoştinţelor fundamentale şi de specialitate

Disciplina: Bazele Tehnologice ale Microelectronicii

BAREM

1. (2p) În care proces la oxidarea termică a Si, calitatea oxidului este mai bună:
   a. În vapori de apă
   b. În oxigen umed
   c. În oxigen uscat
   d. In oxigen umed și în vapori de apă
2. (1p) De ce este necesară etapa de călire după implantarea ionică?
   a. Pentru a elimina ionii care nu au intrat destul de adânc.
   b. Pentru a repara defectele de rețea
   c. Pentru a răci placheta înainte de următoarea etapă.
   d. Pentru a forța ionii să pătrundă mai adânc în substrat
3. (1p) Care sunt avantajele procesului de litografie cu fascicol electronic:
   a. Lipsa măștii
   b. Productivitatea scăzută
   c. Costul mare al procesului tehnologic
   d. Rezoluția scăzută
4. (2p) O peliculă de metal cu lungimea de 100µm și lățimea de 2µm are rezistenta de 2KΩ. Care este valoarea rezistenței pe pătrat a peliculei
   a. $R_{\square}=20\Omega/\square$
   b. $R_{\square}=40\Omega/\square$
   c. $R_{\square}=10\Omega/\square$
   d. $R_{\square}=15\Omega/\square$

5. (2p) Care dintre următoarele aranjamente pentru tranzistoarele A și B respectă principiul centroid comun:

a. A B A A B A
B A B B A B

b. A B B A B A
B A B A A B

c. A A B A B A
B A B B A B

d. A B B A B B
A A A B A B

6. (1p) Ce tehnică de layout este considerată superioară pentru anularea gradienților termici?

a. Interdigitizare simplă.

b. Plasarea dispozitivelor la distanță mare unul de celălalt.

c. Centroid Comun.

d. Împărțirea dispozitivelor în dispozitive mai mici.

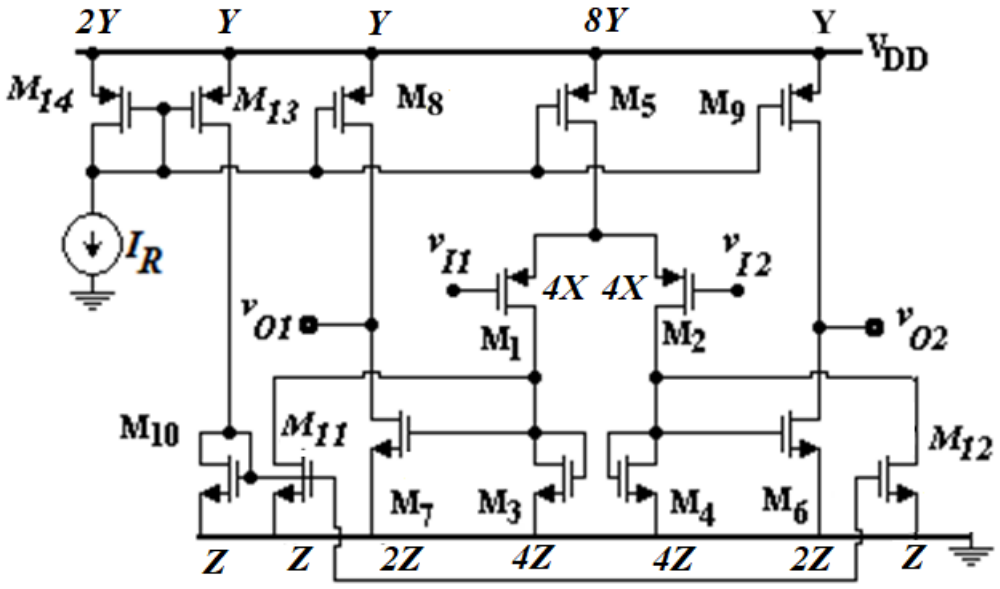
UNIVERSITATEA TEHNICĂ "GHEORGHE ASACHI" DIN IAŞI
FACULTATEA DE ELECTRONICĂ, TELECOMUNICAŢII ŞI TEHNOLOGIA INFORMAŢIEI

EXAMEN DE DIPLOMĂ IULIE 2026

Proba de evaluare a cunoştinţelor fundamentale şi de specialitate

Disciplina .....TPVLSIA

În circuitul din figură este prezentat un amplificator cu tranzistoare MOS. Notațiile X, Y, Z reprezintă raportul dimensiunilor tranzistoarelor. În absența unor precizări suplimentare, se va considera că tensiunea de cc pe intrarile diferentiale este aceasi ($V_{IN+} = V_{IN-} = V_{DD}/2$).



1. Considerând I_R=I, valoarea curentului de drenă a tranzistorului M_5 este:
a. I
b. 4I
c. 2I
d. 8I

2. Considerând I_R=I, valoarea curentului de drenă a tranzistorului M_{11} este::
a. I
b. 4I
c. I/2
d. 8I

3. Considerând I_R=I, valoarea curentului de drenă a tranzistorului M_3 este::
a. I
b. 4I
c. 2I
d. 3I/2

4. Considerând I_R=I, starea tranzistoarelor din nodul V_{01} este:
a. M_7 trioda, M_8 saturatie
b. M_7 trioda, M_8 trioda
c. M_7 saturatie, M_8 saturatie
d. M_7 saturatie, M_8 trioda

5. Considerând I_R=I si stiind ca circuitul are o bucla pentru controlul modului comun care tine toate tranzistoarele in regiunea de saturatie, in cazul in care tensiunea aplicată pe grila M_1 este mai mare decat cea aplicată pe grila M_2, curenții de drenă ai M_6 și M_7 se vor regăsi în relația:
a. $I_{D_{M_6}} = I_{D_{M_7}}$
b. $I_{D_{M_6}} > I_{D_{M_7}}$
c. $I_{D_{M_6}} < I_{D_{M_7}}$
d. $I_{D_{M_6}} = 2I_{D_7}$

6. Considerând I_R=I si stiind ca circuitul are o bucla pentru controlul modului comun care tine toate tranzistoarele in regiunea de saturatie, in cazul in care tensiunea aplicată pe grila M_1 este mai mare decat cea aplicată pe grila M_2, ieșirile în tensiune ale amplificatorului se vor regăsi în relația:
a. $v_{O1} = v_{O2}$
b. $v_{O1} < v_{O2}$
c. $v_{O1} > v_{O2}$
d. $v_{O1} = 2v_{O2}$

7. Considerând I_R=I si stiind ca circuitul are o bucla pentru controlul modului comun care tine toate tranzistoarele in regiunea de saturatie, tensiunea totala maxima din iesirea v_{O2} este:
a. $V_{DD} + V_{OV_9}$
b. $V_{DD} - V_{SG_9} - V_{OV9}$
c. $V_{SG_9} - V_{OV9}$
d. $V_{DD} - V_{OV_9}$

8. Considerând I_R=I si stiind ca circuitul are o bucla pentru controlul modului comun care tine toate tranzistoarele in regiunea de saturatie, tranzistoarele M11 si M12 au rolul:
a. de a creste amplificarea circuitului prin reducerea curentului din diodele M3 si M4
b. de a creste banda de frecventa a circuitului.
c. de a reduce puterea consumata de circuit.
d. de a reduce zgomotul din etajul realizat cu M1, M2, M3, M4, M5

9. Valoarea aproximativă a amplificării pe mod diferential a etajului, considerând pentru toate tranzistoarele (transconductanța) g_m=0.1mS și (rezistența drenă sursă) r_{ds}=300kΩ, este:
a. -135
b. 13,5
c. -13,5
d. 135

UNIVERSITATEA TEHNICĂ "GHEORGHE ASACHI" DIN IAŞI
FACULTATEA DE ELECTRONICĂ, TELECOMUNICAŢII ŞI TEHNOLOGIA INFORMAŢIEI

EXAMEN DE DIPLOMĂ IULIE 2026

Proba de evaluare a cunoştinţelor fundamentale şi de specialitate

Disciplina Arhitectura Sistemelor de Calcul - domeniul Digital

Absolvent:……,

Programul de studii (EA/MON/TST): MON

Răspunsul se marchează prin încercuirea uneia dintre literele a, b, c, sau d, ale variantelor de răspuns.

1 (1.5p). Care este rolul instrucțiunii SW (Store Word) în arhitectura MIPS?

a. **Salvează conținutul unui registru intern în Memoria de Date, la adresa calculată ca sumă între un registru de bază și un offset.**
b. Transferă o dată din Memoria de Date într-un registru intern al procesorului.
c. Efectuează o operație SAU între 2 registre interne și salvează rezultatul în Memoria de Date.
d. Calculează adresa următoarei instrucțiuni pe baza unui offset și o stochează în registrul PC.

2 (1.5p). Care format de instrucțiune MIPS este utilizat pentru instrucțiunile aritmetice cu adresare directă (ex: ADD rd, rs, rt)?

a. Formatul I, cu câmpul de valoare imediată pe 16 biți.
b. Formatul J, cu câmpul de adresă de salt pe 26 de biți.
c. Formatul I, cu câmpul opcode distinct pentru fiecare instrucțiune.
d. **Formatul R, cu câmpurile rs, rt, rd și câmpul operație UAL.**

3 (1.5p). Se consideră că regiștrii R1 și R2 au stocate valorile R1 = 5, R2 = 3, iar registrul R0 este cablat permanent la valoarea 0. Procesorul execută secvența de instrucțiuni:

```
adr.20:  ADD  R3, R1, R2
adr.21:  SLTI R3, R2, 5
adr.22:  BEQ  R3, R0, 1
adr.23:  SW   R2, 12(R1)
adr.24:  SW   R1, 12(R2)
```

Ce valoare este scrisă în memoria de date și la ce adresă, la execuția instrucțiunii SW, executată imediat după execuția instrucțiunii BEQ?

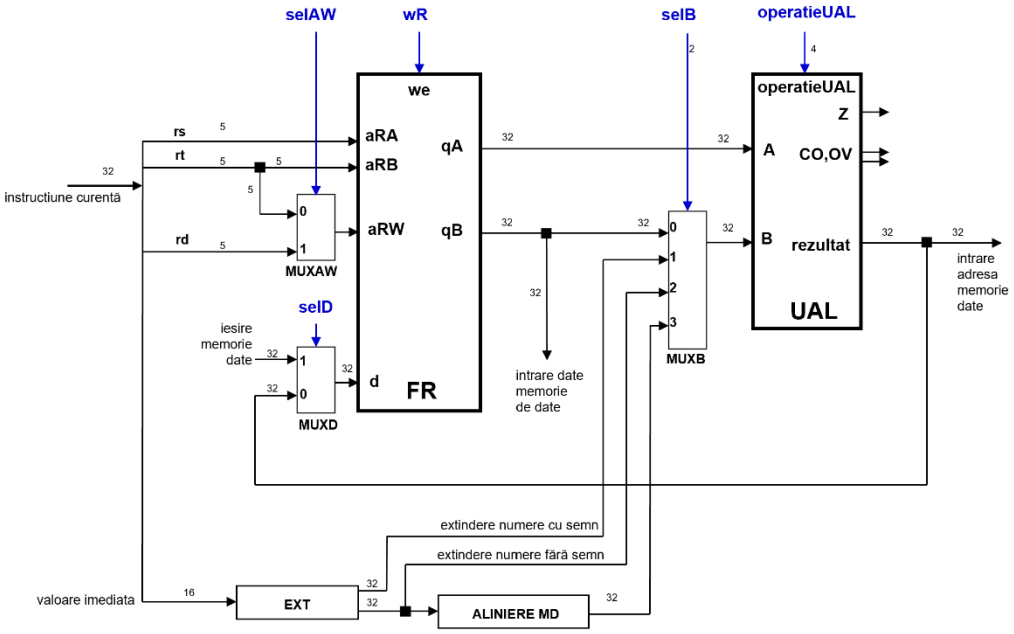
a. **Valoarea 3 este scrisă la adresa de memorie 17.**
b. Valoarea 5 este scrisă la adresa de memorie 15.
c. Valoarea 3 este scrisă la adresa de memorie 15.
d. Valoarea 5 este scrisă la adresa de memorie 17.

4 (1.5p). Câte porturi de citire simultană are fișierul de regiștri interni în arhitectura MIPS și cum este implementată logica de adresare la scriere?

a. Un singur port de citire; logica de adresare la scriere este implementată cu un decodificator binar.
b. Trei porturi de citire; adresarea la scriere se face printr-un multiplexor cu 32 de intrări.
c. Două porturi de citire (qA și qB); logica de adresare la scriere poate fi implementată cu un demultiplexor care direcționează semnalul we spre intrarea ld a registrului selectat de aRW.
d. Patru porturi de citire; adresarea la scriere se face direct prin linia comună d, fără logică suplimentară.

5 (1.5p). În figura de mai jos se indică Blocul de Execuție al procesorului MIPS monociclu. Care este valoarea semnalului selD și ce sursă este selectată pentru intrarea d a fișierului de regiștri FR, la execuția instrucțiunii LW?

a. selD = 0: sursa selectată pentru d este ieșirea UAL (rezultatul operației aritmetice).
b. selD = 0: sursa selectată pentru d este câmpul de valoare imediată extins din instrucțiunea curentă.
c. selD = 1: sursa selectată pentru d este adresa calculată de UAL pentru accesul la MD.
d. selD = 1: sursa selectată pentru d este data citită din Memoria de Date (ieșire MD).



6 (1.5p). La întrebarea 5, s-a indicat structura Blocului de Execuție al procesorului MIPS monociclu. Care este combinația corectă a semnalelor de control selAW, wR și selB, generată de Unitatea de Control a procesorului precizat, la execuția unei instrucțiuni aritmetico-logice în format R (ex: ADD, SUB, AND)?

a. selAW = 0, wR = 1, selB = 01
b. selAW = 1, wR = 1, selB = 00
c. selAW = 0, wR = 1, selB = 10
d. selAW = 1, wR = 0, selB = 00

UNIVERSITATEA TEHNICĂ "GHEORGHE ASACHI" DIN IAŞI
FACULTATEA DE ELECTRONICĂ, TELECOMUNICAŢII ŞI TEHNOLOGIA INFORMAŢIEI

EXAMEN DE DIPLOMĂ IULIE 2026

Proba de evaluare a cunoştinţelor fundamentale şi de specialitate

Disciplina: Algoritmi și structuri paralele de calcul (ASPC)

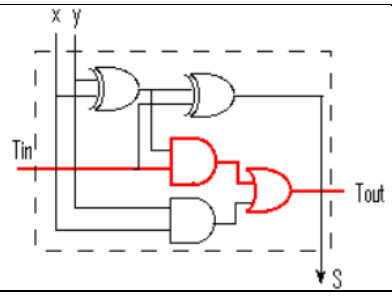
1) **(2p)** Se știe că un număr A cuprins între -8 si 7 este reprezentat în cod complement față de 2 cu semn, pe 16 biți dintre care 7 pentru partea fracționară. Cea mai bună aproximare a numărului A pe 8 biți, obținută prin renunțarea la 8 biți, este dacă se utilizează:

a. 8 biți din care 4 pentru partea fracționară
~~b. 8 biți din care 0 pentru partea fracționară~~
~~c. 8 biți dintre care 7 pentru partea fracționară~~
~~d. 8 biți din care 5 pentru partea fracționară~~

2) **(2p)** Un număr, în cod complement față de 2 cu semn, reprezentat pe 8 biți dintre care 2 pentru partea fracționară se reprezintă astfel $100011_{\Delta}11$. Care dintre numerele de mai jos exprimate pe 16 biți reprezintă același număr?

a. $11111111100011_{\Delta}11$
~~b. $100011_{\Delta}1111111111$~~
~~c. $00000000100011_{\Delta}11$~~
~~d. $100011_{\Delta}1100000001$~~

3) **(1p)** Schema unui sumator pe 1 bit este:



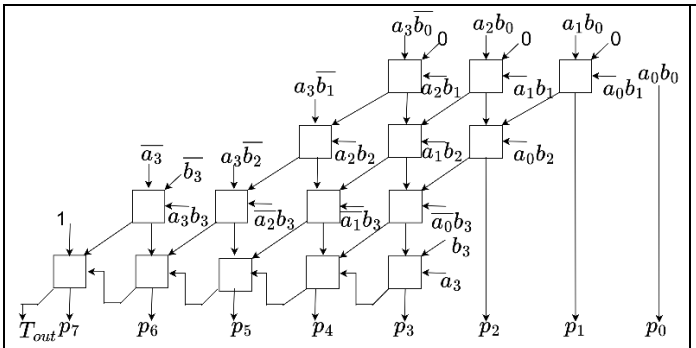
Dacă timpul de propagare (întârzierea) pe porțile AND si OR este de 50ps si pentru o poartă XOR este de 100ps care este timpul de propagare pentru sumatorul pe 1 bit?

a. 200 ps ~~b. 100 ps~~ ~~c. 300 ps~~ ~~d. 50 ps~~

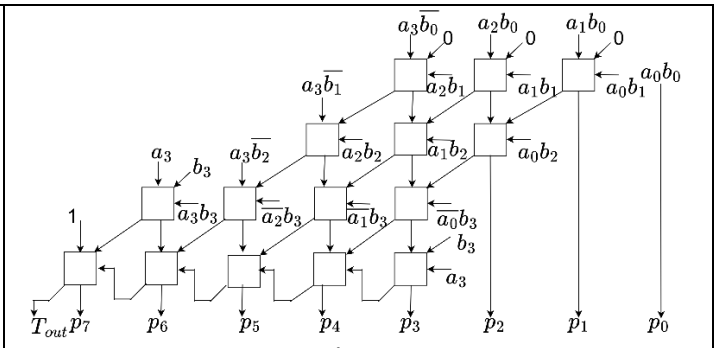
4) **(1p)** Tabela de înmulțire pentru un multiplicatorul cu semn pe 4 biți este:

				$a_3\overline{b_0}$	a_2b_0	a_1b_0	a_0b_0
			$a_3\overline{b_1}$	a_2b_1	a_1b_1	a_0b_1	
		$a_3\overline{b_2}$	a_2b_2	a_1b_2	a_0b_2		
	a_3b_3	$\overline{a_2}b_3$	$\overline{a_1}b_3$	$\overline{a_0}\,b_3$			
	$\overline{a_3}$			a_3			
1	$\overline{b_3}$			b_3			
c_7	c_6	c_5	c_4	c_3	c_2	c_1	c_0

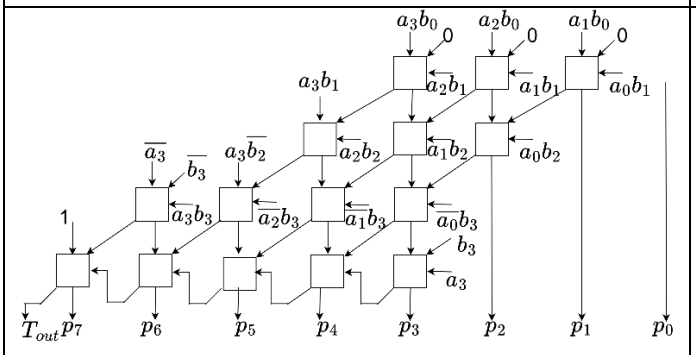
Care implementare este corectă?



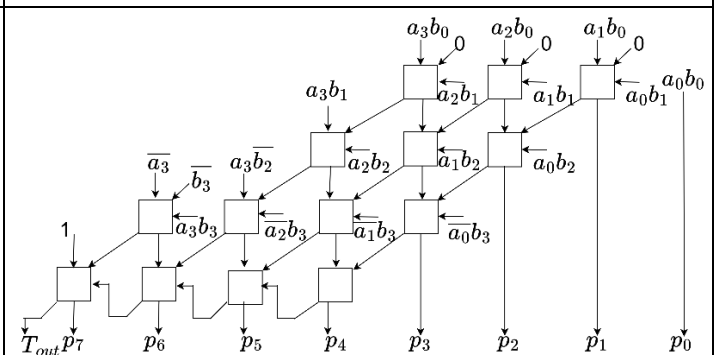
Varianta A



~~Varianta B~~



~~Varianta C~~



~~Varianta D~~

Răspuns corect:

Varianta a. ~~Varianta b.~~ ~~Varianta c.~~ ~~Varianta c.~~

5) **(2p)** Să se calculeze în cod complement față de 2 cu semn, pe 5 biți din care 2 pentru partea fracționară, suma:

$$((2.5 + 3.75) + 1.25) + (-0.5)$$

Care este răspunsul corect?

a. -1

~~b. -2~~

~~c. +1~~

~~d. +2~~

6) **(1p)** Complementul fata de 2 al cuvântului binar pe 8 biți 00000000 este:

a. 00000000

~~b. 11111111~~

~~c. 10000000~~

~~d. 11111110~~

UNIVERSITATEA TEHNICĂ "GHEORGHE ASACHI" DIN IAŞI
FACULTATEA DE ELECTRONICĂ, TELECOMUNICAŢII ŞI TEHNOLOGIA INFORMAŢIEI

EXAMEN DE DIPLOMĂ IULIE 2026

Proba de evaluare a cunoştinţelor fundamentale şi de specialitate

Disciplina: Tehnici de proiectare VLSI digitale

Programul de studii: Microelectronică, Optoelectronică și Nanotehnologii

Răspunsul se marchează prin încercuirea uneia dintre literele a, b, c, sau d, ale variantelor de răspuns.

1. (0,50 p) Randamentul de producție (yield) a circuitelor integrate reprezintă:
a. probabilitatea de apariție a unui defect în unitatea de arie.
b. raportul dintre numărul de pastile intersectate de frontiera plachetei și numărul total de pastile de pe plachetă.
c. raportul dintre numărul de pastile funcționale și numărul total de pastile întregi de pe plachetă (corect).
d. raportul dintre puterea utilă și puterea consumată a circuitului integrat.

2. (0,50 p) Marginile de zgomot pentru o poartă logică se definesc ca:
a. $NM_H = V_{DD} - V_{IH}$ și $NM_L = V_{IL} - V_{SS}$
b. $NM_H = V_{OH} - V_{IH}$ **și** $NM_L = V_{IL} - V_{OL}$ **(corect)**
c. $NM_H = V_{IH} - V_{IL}$ și $NM_L = V_{OH} - V_{IL}$
d. $NM_H = V_{DD} - V_{OH}$ și $NM_L = V_{OL} - V_{SS}$

3. (0,50 p) În costul de fabricație al unui circuit integrat există costuri independente de volumul producției și costuri proporționale cu volumul producției. Care dintre costurile enumerate mai jos reprezintă un **cost fix**?
a. Costul testării circuitului integrat
b. Costul cu salariile inginerilor echipei de proiectare (corect)
c. Costul încapsulării circuitului integrat
d. Costul materiei prime

4. (0,50 p) O poartă logică scalată cu factorul S ce are în ieșire o sarcină capacitivă C_{out} are același timp de propagare cu poarta logică ne-scalată ce are în ieșire o sarcină capacitivă de:
a. $C_{out} \cdot S$ **b.** $\frac{C_{out}}{S}$ **(corect)** c. $C_{out} \cdot S^2$ d. $\frac{C_{out}}{S^2}$

5. (0,50 p) Tranzistoarele unei porți logice se dimensionează, de obicei, cu lungimea minimă permisă de regulile procesului tehnologic:
a. pentru o împerechere mai bună a tranzistoarelor.
b. pentru a asigura un factor de aspect supraunitar.
c. pentru a crește rezistența văzută în drena tranzistorului.
d. pentru a minimiza capacitățile parazite asociate tranzistoarelor (corect).

6. (0,50 p) Pe o cale de semnal pentru care numărul de porți nu este impus, numărul optim de etaje poate fi aproximat ca:
a. $N = \log_4 F$ **(corect)** b. $N = F^2$ c. $N = \log_2 F$ d. $N = \sqrt{F}$

7. (0,50 p) Întârzierea de efort, f, a unei porți se poate exprima ca:

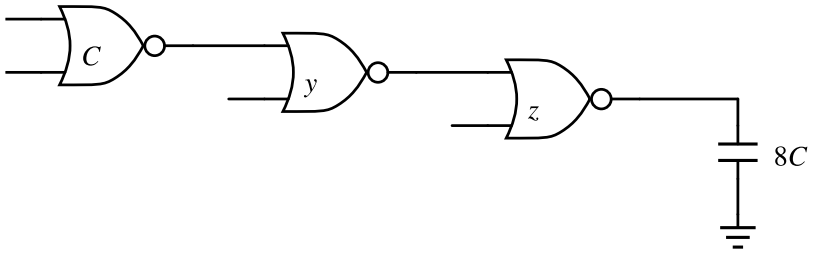
a. suma dintre efortul logic, g, și efortul electric, h, $f = g + h$.
b. raportul dintre efortul logic, g, și efortul electric, h, $f = \frac{g}{h}$.
c. produsul dintre efortul logic, g, și efortul electric, h, $f = g \cdot h$ (corect).
d. raportul dintre efortul electric, h, și efortul logic, g, $f = \frac{h}{g}$.

8. (0,50 p) Efortul logic, g, reprezintă:
a. raportul dintre rezistența echivalentă din ieșirea porții și rezistența din ieșirea unui inversor capabil să furnizeze la ieșire același curent de comandă.
b. raportul dintre capacitatea de la intrarea porții pentru care se determină și capacitatea de la intrarea unui inversor cu aceeași capabilitate de curent în ieșire (corect).
c. raportul dintre puterea disipată în poartă și puterea disipată într-un inversor elementar stimulat cu aceleași semnale de intrare.
d. raportul dintre timpul de propagare prin poartă și timpul de propagare printr-un inversor elementar care comandă aceeași sarcină.

9. (0,50 p) Metastabilitatea unui latch este:
a. menținerea pentru un interval de timp a nivelelor interne ale latch-ului în zona invalidă (corect).
b. agățarea definitivă a stării latch-ului în una din stările stabile.
c. agățarea definitivă a stării latch-ului la un nivel invalid.
d. oscilația nivelelor interne ale latch-ului între cele două nivele valide.

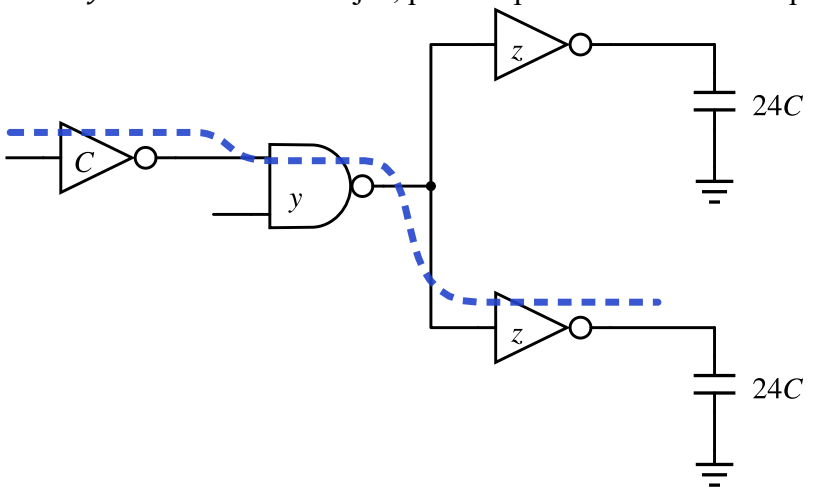
10. (0,50 p) Din perspectiva probabilității de intrare în metastabilitate, un timp mediu între defecțiuni mare:
a. înseamnă absența intrării în metastabilitate.
b. se reflectă în durate mai mari pentru stările de metastabilitate.
c. înseamnă o probabilitate mare de intrare în metastabilitate.
d. înseamnă o probabilitate mică de intrare în metastabilitate (corect).

11. (1,00 p) Valoarea lui z în circuitul de mai jos, pentru optimizarea întârzierii pe cale, este:



a. $4C$ **(corect)** b. $8C$ c. C d. $2C$

12. (1,00 p) Valoarea lui y în circuitul de mai jos, pentru optimizarea întârzierii pe cale, este:



a. $8C$ b. C c. $\frac{8}{3}C$ **d.** $4C$ **(corect)**

13. (0,50 p) Cel mai flexibil sincronizator pentru transferul datelor multibit între două domenii de ceas:

a. este cel care utilizează un semnal de control care indică momentul în care datele multibit sunt stabile și pot traversa frontiera între domenii.

b. este alcătuit dintr-un ansamblu de sincronizatoare simple puse în paralel pe toate liniile magistralei.

c. este cel care utilizează o coadă cu doi pointeri care sunt codați în cod Gray la transferul între cele două domenii (corect).

d. este cel care se obține prin consolidarea (combinarea) semnalelor într-un singur semnal pe un bit.

14. (0,50 p) La traversarea unui semnal dintr-un domeniu cu ceas rapid într-un domeniu cu ceas lent:

a. se poate utiliza un sincronizator simplu.

b. se poate utiliza o soluție în buclă deschisă fără niciun risc.

c. se poate utiliza regula empirică de semnal stabil pe durata a 3 fronturi de ceas în domeniul destinație fără a exista riscul de pierdere a datelor.

d. se preferă un mecanism în buclă închisă, cu semnale de control de inițiere și confirmare a transferului (corect).

15. (0,50 p) În cadrul analizei temporale statice, verificarea respectării timpului de pregătire presupune:

a. ca datele lansate în ciclul anterior să fie stabile cu cel puțin un timp de pregătire înainte de frontul de captură (corect).

b. ca datele lansate în ciclul anterior să devină stabile pe frontul de captură.

c. ca datele lansate în ciclul anterior să devină stabile cu un timp de pregătire după frontul de captură.

d. ca datele lansate în ciclul anterior să devină stabile cu un timp de menținere după frontul de captură.

16. (0,50 p) Într-un circuit digital sincron, frontul de lansare este:

a. frontul care eșantionează datele rezultate prin procesarea combinațională între două bistabile consecutive.

b. este primul front de după dezactivarea semnalului de reset.

c. frontul care inițiază procesarea combinațională a datelor între două bistabile consecutive (corect).

d. este primul front al unui tren de fronturi de la transferul unui pachet de date.

Modul de calcul al notei: nota se obține prin însumarea punctajelor celor 16 întrebări (14 × 0,50 p + 2 × 1,00 p = 9,00 puncte), la care se adaugă 1 punct din oficiu. **Total: 10 puncte.**